

SEMICONDUCTOR MEMORY DEVICE

Patent Number: JP1128296
Publication date: 1989-05-19
Inventor(s): SHIBATA SHINTARO; others: 02
Applicant(s):: NIPPON TELEGR & TELEPH CORP
Requested Patent: ☐ JP1128296
Application Number: JP19870287058 19871113
Priority Number(s):
IPC Classification: G11C11/34
EC Classification:
Equivalents:

Abstract

PURPOSE: To make an operation faster and to reduce energy consumption by constituting an arithmetic circuit with the combination of an exchanging circuit to exchange signals between a pair of bit lines and a sense circuit.

CONSTITUTION: A logical operation is carried out by combining an operation to select the input voltage of a sense circuit 508 from a pseudo signal voltage corresponding to the output signal voltage of a memory cell 530 and writing data, and an operation to select the impressing voltage of the memory cell 530 for data writing from the voltage appearing to the common output joint of the sense circuit 508 and a restoring circuit 509 or from the voltage appearing to the common compensating output joint at the time of operation. Further, a MOS transistor (TR) for the selection is switching-operated, and the high-speed logical operation is attained. In addition, after the signal voltage is outputted from the memory cell 530 to the sense circuit 508, a bit line BL and the sense circuit 508 are separated until an operation result is written to the memory cell 530. Thus, the operation can be made faster, and the energy consumption can be reduced.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平1-128296

⑮ Int. Cl.⁴

G 11 C 11/34

識別記号

3 7 1

庁内整理番号

Z-8522-5B

⑭ 公開 平成1年(1989)5月19日

審査請求 未請求 発明の数 1 (全19頁)

⑯ 発明の名称 半導体記憶装置

⑰ 特 願 昭62-287058

⑱ 出 願 昭62(1987)11月13日

⑲ 発 明 者 柴 田 信 太 郎 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 大 友 祐 輔 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 山 田 順 三 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑲ 代 理 人 弁理士 玉 蟲 久五郎 外2名

明 細 書

1. 発明の名称 半導体記憶装置

2. 特許請求の範囲

(1) RAM部のメモリアレイのビット線の各々に、演算回路とSAM部のデータレジスタを従属に接続してカラム系回路を構成し、該メモリアレイと該演算回路の接続点に該演算回路に属し、対ビット線間で信号を入れ換える交換回路を配置して、該メモリアレイのメモリセルに記憶されているデステイネーションデータを該演算回路に取り込み、該デステイネーションデータと該データレジスタに記憶されているソースデータとの論理演算を実行する間は、該交換回路で該メモリアレイと該演算回路との接続を分離させることを特徴とする半導体記憶装置。

(2) 前記メモリセルに記憶されているデステイネーションデータを前記演算回路に属するセンス回路を経て行くと共に、書き込みデータに相当する發

似信号を該センス回路に出力する手段を具備することを特徴とする特許請求の範囲第1項の半導体記憶装置。

(3) 前記データレジスタを第2のメモリアレイに置き換えたことを特徴とする特許請求の範囲第1項の半導体記憶装置。

3. 発明の詳細な説明

〔従来の技術〕

演算回路を搭載した半導体記憶装置としては、従来第3図に示すようなデュアルポートメモリがあつた(例えば、日経エレクトロニクス1986.3.24, PP243~PP264に記載)。第3図の従来のデュアルポートメモリの主要部分を示す回路図である。図において外部とのデータ入出力の単位となる1ワードを1ビットで構成した例である。デュアルポートメモリは、ランダムアクセスメモリRAM部とシーリアルアクセスメモリ(Serial Access Memory)SAM部、そして両者を電気的に接続または切離すトランスファ・ゲート部103から構成さ

れる。

RAM部101は、通常、メモリセル107 M(p,q)^(セル) ; (p=1, ..., P), (q=1, ..., Q)、をもつたメモリアレイ106、ロウ選択回路117、RAM部コラム選択回路108、入出力バッファ109等から構成される。図に示す従来例では、RAM部コラム選択回路108とRAM部入出力バッファ109の中間に演算回路110を付加した構成を採っている。ワード線WL(q) ; (q=1, ..., Q) (以下原則としてWLと記す) はメモリセル選択信号を伝送する線路、ビット線BL(p) ; (p=1, ..., P) (以下BLと記す) はメモリセル107からの読出しデータまたはメモリセル107の書き込みデータに対応した信号を伝送する線路である。メモリセルアレイ106は、データを記憶するメモリセル107を上記ワード線WLとビット線BLの交点毎に一定の規則で配置することによつて構成される。RAM部データバス111は、RAM部コラム選択回路108と演算回路110を接続するデータ伝送路である。ロウ選択回路117は、外部入力されたXアドレスに基づいて複数のワード

3

SAM部102は、データレジスタアレイDR(p) ; (p=1, ..., P) 120、SAM部コラム選択回路122、アドレスポインタ123、入出力バッファ124等から構成される。データレジスタアレイ120は、データレジスタをワード線に平行になる方向に配置して構成され、シリアルポート105からのアクセス時に一連の読出しデータまたは書き込みデータを一時的に蓄える回路として用いられる。アドレスポインタ123は、データ読出しまたは書き込みの対象となるデータレジスタ121のアドレスを内部発生する回路であり、発生アドレスは外部入力された初期値とシリアルクロック ϕ_{sc} のトグル(HIGHレベルとLOWレベルを繰返し切り換えること)数で決まる。SAM部データバス125は、SAM部コラム選択回路122と入出力バッファ124を接続するデータ伝送路である。SAM部コラム選択回路122は、アドレスポインタ123で指定されるアドレスに基づいて、複数のデータレジスタ121の中から一個のデータレジスタを選択し、SAM部データバス125に接続する回路である。

5

線WLの中から1本を選択し、メモリセル選択信号を出力する回路である。また、RAM部コラム選択回路108は、外部入力されたYアドレスに基づいて複数のビット線BLの中から1本を選択し、RAM部データバス111に接続する回路である。RAM部101に設けられた演算コードデコーダ112は、外部入力された演算コードをデコードし、論理演算の別を示す信号として演算回路110に出力する回路である。演算回路110には、入出力バッファ109を介して外部入力されたソースデータと、RAM部データバス111を介して内部入力されたデスティネーションデータに対して、論理演算を実行し、演算結果をRAM部データバス111に出力する回路である。演算回路110の動作は、外部入力または内部生成された演算回路制御信号によつて制御される。すなわち、制御信号の与え方により、演算回路110に上述の演算を行わせることも、また論理演算とは別にRAM部データバス111と入出力バッファ109を電氣的な接続状態または切離し状態に切換え制御することも可能である。

4

トランスファ・ゲート部103は、トランスファ・ゲート131をビット線毎にワード線方向に並行に配置して構成される。各トランスファ・ゲート131は、外部入力または内部生成された制御クロック信号 ϕ_{dr} を用いて、導通状態または非導通状態に切換え制御される。トランスファ・ゲートアレイ130が導通状態の時、RAM部101とSAM部102は電氣的に接続された状態となり、同一ワード線上の各メモリセルM(p,q)107は、対応するデータレジスタDR(p)121との間で一括してデータ転送が可能である。

なお、メモリセルアレイ106、データレジスタ121の構成により、ビット線BLを対にして用いる相補信号(HIGHレベルとLOWレベルが対となつた信号)を伝送させる場合があり、この構成を用いる場合はRAM部データバス111も相補信号を伝送できるように対構成とすることが多い。SAM部データバス125も同様である。

次に、この半導体記憶装置の論理演算時の動作説明を行う。一例としてメモリセル107 M(2,3)

6

にはソースデータが記憶されており、メモリセル 107 M (3,1) にはデステイネーションデータが記憶されているものとする。ここで、デステイネーションデータとは、論理演算を実行することにより記憶していた値（2 値データの場合は、値“0”または“1”）が演算結果の値に置き換えられるデータのことであり、デステイネーションデータが記憶されているメモリセルのアドレスをデステイネーションアドレスと呼ぶことにする。一方、ソースデータは、演算の前後でその値は不変であり、ソースデータが記憶されているメモリセル 107 のアドレスをソースアドレスと呼ぶことにする。また、外部入力された演算コードは、演算コードデコーダ 112 によつて、デコードされ論理演算の別を示す信号として、演算回路 110 に出力されているとする。

(1-1) ソースアドレスを構成する X および Y アドレスの内、X アドレスをロウ選択回路 117 に外部入力し、かつ Y アドレスを RAM 部コラム選択回路 108 に外部入力する。これにより、ソースデ

7

コーダ 112 から出力される論理演算の別を示す信号に基づいて、内部入力されたデステイネーションデータと外部入力されたソースデータに対して論理演算を実行する。演算結果は、RAM 部データバス 111 上に出力される。

(1-5) 演算結果の出力時において、デステイネーションアドレスを構成する X および Y アドレスの内、X アドレスをロウ選択回路 117 に外部入力し、かつ Y アドレスを RAM 部コラム選択回路 108 に外部入力する。これにより、デステイネーションデータが記憶されていたメモリセル M (3,1) に演算結果を書き込むことができる。

すなわち、従来の半導体記憶装置ではデステイネーションデータの読出しステップと演算結果の書き込みステップで外部入力されるアドレスを変化させる必要がなく、リード・モディファイ・ライトという一連のメモリ動作で実行可能である。そのため、ソースデータの読出し、デステイネーションデータの読出し、演算結果の書き込みという 3 ステップで構成された論理演算を、半導体記憶装

9

置が記憶されたメモリセル M (2,3) が選択される。この時、外部入力または内部発生した演算回路制御信号により、RAM 部データバス 111 と入出力バッファ 109 は電気的な接続状態にあり、メモリセル M (2,3) 内のソースデータは RAM 部データバス 111、入出力バッファ 109 を介して外部出力される。

(1-2) デステイネーションアドレスを構成する X および Y アドレス⁽⁹⁾内、X アドレスをロウ選択回路 117 に外部入力し、かつ Y アドレスを RAM 部コラム選択回路 108 に外部入力する。これにより、デステイネーションデータが記憶されたメモリセル^(M) (3,1) が選択される。この時、メモリセル M (3,1) 内のデステイネーションデータは、読み出されて RAM 部データバス 111 を介して演算回路 110 に内部入力される。

(1-3) 上記 (1-1) で外部出力したソースデータを、入出力バッファ 109 を介して、演算^(回路) 110 に外部入力する。

(1-4) 演算回路 110 を動作させ、演算コード

8

置の外部からはソースデータの外部読出しステップとリード・モディファイ・ライトという 2 ステップだけで実行できる。これにより、1 回の論理演算に伴うメモリアクセス回数の低減が図られ、論理演算のスループット向上に寄与できた。しかし、演算を 1 ワードすなわちこの例では 1 ビットずつしか順次実行できないため、論理演算のスループットを大幅に改善するには至らなかった。

上記のごとき従来技術の問題点を解決するため、同一ワード線上のメモリセル 107 に記憶されたデステイネーションデータを一括してデータレジスタアレイ 120 にセットされたソースデータと論理演算可能なデュアルポートメモリを発明し、別途出願準備中である。この発明は、第 4 図に示す。

第 4 図は第 3 図の装置の改良の回路図である。すなわち、並列動作が可能な演算回路 211 を複数搭載し、その各々がデータレジスタ 121 に対応して配置することを主要な特徴としている。図に示すデュアルポートメモリは、外部とのデータ入出力の単位となる 1 ワードを 1 ビットで構成した例

10

であり、第3図に示す従来例においてトランスファ・ゲート部103を演算部209に置き換えた構成に相当する。

第4図に示すデュアルポートメモリの構成は、演算コードデコーダ212と演算回路211の配置を除いて、第3図に示す従来のデュアルポートメモリの構成と同様である。演算部209は、ワード線WL方向に複数配置された演算回路アレイ210とこれらの演算回路211で共通化された演算コードデコーダ212から構成される。なお、各演算回路211は、前例のトランスファ・ゲートアレイ130の機能を兼ね備えており、外部入力または内部生成した制御クロック信号 ϕ_{DT} を用いて、RAM部101とSAM部102を電気的な接続状態または切離し状態に切換え制御することも可能である。RAM部101とSAM部102が電気的な接続状態にある時、同一ワード線上の各メモリセル107は一括して対応するデータレジスタ120との間でデータ転送が可能である。

次に、第4図に示すデュアルポートメモリの演

11

にセットされたデータは、ソースデータとして各演算回路211に入力される。

(2-3) デステイネーションアドレスに相当するXアドレスをロウ選択回路107に外部入力し、デステイネーションデータが記憶された同一ワード線WL上のメモリセル107 $M(p, 3)$ を選択する。Yアドレスは、指定する必要がない。この時、選択メモリセル $M(p, 3)$ に記憶された各データはデステイネーションデータとして、各演算回路211に入力される。

(2-4) 演算回路211を並列動作させ、演算コードデコーダ212から出力される論理演算の別を示す信号に基づいて、メモリセル107から入力されたデステイネーションデータとデータレジスタ121から入力されたソースデータに対して一括して論理演算を実行する。演算結果は、演算回路211毎に各ビット線BL上に出力される。

(2-5) 演算結果の出力時において、デステイネーションアドレスに相当するXアドレスを外部入力することにより、デステイネーションデータ

13

算動作について説明する。一例として、ワード線WL(2)上の各メモリセル $M(p, 2)$; ($p=1, \dots, P$) にはソースデータが記憶されており、ワード線WL(3)上の各メモリセル $M(p, 3)$; ($p=1, \dots, P$) にはデステイネーションデータが記憶されているものとする。さらに、外部入力された演算コードは、演算コードデコーダ212でデコードされており、論理演算の別を示す信号として各演算回路211に供給されているものとする。

(2-1) ソースアドレスに相当するXアドレスをロウ選択回路107に外部入力し、ソースデータが記憶された同一ワード線WL上のメモリセル107を選択する。Yアドレスは指定する必要がない。

(2-2) 制御クロック信号 ϕ_{DT} を用いて、RAM部101とSAM部102を電気的な接続状態に切り換え、選択ワード線WL上の各メモリセル107に記憶されたソースデータを一括して、データレジスタ121に転送する。しかる後、制御クロック信号 ϕ_{DT} を用いて、RAM部101とSAM部102を電気的な切り離し状態に切り換える。データレジスタ121

12

が記憶されていた同一ワード線WL上の各メモリセル $M(p, 3)$; ($p=1, \dots, P$) 一括して演算結果を書き込むことができる。

上記動作説明から明らかなように、デステイネーションデータの読出し時と演算結果の書き込み時において、外部入力するXアドレスを変化させる必要がなく、これらの動作を一回のメモリ動作で実行可能であることは、第3図に示す従来例と同様である。しかし、論理演算に先立ちソースデータを一旦半導体記憶装置の外部に読み出さなければならないという従来の制約がなく、同一ワード線WLのメモリセル107に対して一括して論理演算が可能である。数Mb(メガビット)級の集積度を持つ半導体記憶装置では、同一ワード線には500~2000個程度のメモリセル107が配置される。従つて、第4図に示すような構成を採ることにより、論理演算のスループットを数百~数千倍に高めることが可能である。

第5図は従来の演算回路の回路図である。NANDゲート302、NORゲート301等の論理ゲートに

14

切換え回路 304, 305 のスイッチ回路を組み合わせて構成することになる。直流定電圧電源 307 の出力電圧は E_1 の方が E_2 より高い。 V_s はデータレジスタ 121 にセットされたソースデータに対応した入力電圧であり、 V_D はメモリセル 107 に記憶されたデステイネーションデータに対応した入力電圧である。ソースデータに対応した電圧 V_s は、データレジスタ 121 によつて保持される。一方、デステイネーションデータに対応した電圧 V_D は、ラッチ回路 303 によつて保持される。また、 V_w は論理演算の演算結果に対応した出力電圧であり、演算結果の書き込み時にビット線 BL を介してデステイネーションデータが記憶されていたメモリセル 107 に印加される。切換え回路 304 は 3 個のトランスファ・ゲート TG1~TG3 から構成されており、演算時のデータの流れを制御する。切換え回路 305 は、外部入力または内部生成した演算回路制御信号により、3 個のトランスファ・ゲートが同時に 2 個以上導通状態にならないように制御される。論理演算時には、以下の手順で切換え制御される。

15

号に要求される論理振幅と直接整合させることは難しく、メモリセル出力信号電圧を一定の論理振幅まで増幅する回路が必要になる。増幅回路に従来の半導体記憶装置で用いられてきたセンス回路およびリストア回路を用いる場合について、デュアルポートメモリへの適用例を第 6 図に示す。第 6 図は第 5 図に示す演算回路周辺のコラム系回路図である。図において、550 はロウ選択回路、554 は外部入力された演算コードのデコード回路、552, 552' は制御クロック信号発生回路である。演算回路 407 はビット線 BL, \overline{BL} を対稱成とし、データレジスタ 511 から出力されるソースデータ、メモリセル 530 から出力されるデステイネーションデータ、そして演算結果の伝送に相補信号を用いている点が第 5 図に示す演算回路 211 と異なる。即ち、演算回路 407 は、第 5 図中に示す論理ゲート、切換え回路を用いて同様に構成可能である。また、第 6 図中 MOS トランジスタ Q11, Q12 は、RAM 部 101 と SAM 部 102 の接続、切り離しを制御するトランジスタであり、これらは第 5 図中の切

17

まず、トランスファ・ゲート TG1 が導通状態になり、メモリセル M(p, q) 107 からデータレジスタ DB(p) 121 へソースデータを転送する。次に、トランスファ・ゲート TG2 が導通状態になり、メモリセル M(p, q) 107 に記憶されたデステイネーションデータをラッチ回路 303 に転送する。最後に論理演算実行後、トランスファ・ゲート TG3 が導通状態になり、演算結果のデータを RAM 部 101 に転送しデステイネーションデータが記憶されていたメモリセル M(p, q) に書き込む。また、切換え回路 304 は実行する論理演算内容を選択する回路であり、演算コードデコーダ 212 から出力される論理演算の別を示す信号によつて制御される。この図では、NOR 演算を実行し、演算結果をメモリセル 107 に書き込む状況を示している。

さて、ダイナミック形メモリセルに代表されるように、メモリセル出力信号の論理振幅は、データレジスタの論理振幅に比べて、数分の 1 ~ 数十分の 1 と小さい。その為、メモリセル出力信号の論理振幅を第 5 図に示すような演算回路の入力信

16

り換え回路 304 を構成するトランスファゲート 510 に相当する。 C_{B1}' , C_{B2}' はビット線 BL, \overline{BL} の寄生容量であり、これらは等しくなるように設計される。

データレジスタ 511 にセットされたソースデータとメモリセル 530 に記憶されたデステイネーションデータとの論理演算は、以下の手順で実行する。なお、データレジスタ 511 には、RAM 部 401 から RAM 部 401 から SAM 部 402 へのデータ転送により、すでにソースデータがセットされているものとする。まず、メモリセル 530 を選択し、記憶データに対応した信号電圧をビット線 BL 上に出力させる。次に、制御クロック発生回路 552 から制御クロック信号 ϕ_N, ϕ_P を操作し、センス回路 405, リストア回路 406 の順で動作させる。これによりメモリセル 530 出力信号電圧の増幅が行われる。しかる後、演算回路制御信号を用いて演算回路 407 を動作させると共に、演算結果に対応した演算回路出力電圧をビット線 BL を介してデステイネーションデータが記憶されたメモリセル 530 に印加

18

する。これにより、同一ワード線上のメモリセル 530 に記憶されたデステイネーションデータに対して一括して論理演算が行われ、その記憶内容が演算結果の値に置き換える。

〔発明が解決しようとする問題点〕

ここで、ビット線 BL の寄生容量 C_{B1} 、 C_{B2} は接続されるメモリセル 530 の数に依存するが、一般に多くのメモリセル 530 が接続されることが多く、寄生容量は極めて大である。その為、ビット線の寄生容量 C_{B1} 、 C_{B2} に対する充放電の速さとそれに伴う消費電力が、演算回路を構成する上で特に問題になる。従来技術を用いて演算回路 211 を構成する場合、メモリセル出力信号電圧の増幅時と演算結果のメモリセル 530 書き込み時の 2 回に亘つて、ビット線の電位を大振幅動作させることが必要になる。これらの動作は、いずれも大容量を有するビット線の寄生容量 C_{B1} 、 C_{B2} に対して完全な充放電を伴うので動作が遅く、1 回の論理演算にセンス回路動作時間の約 2 倍の時間が必要にな

19

して、該メモリアレイのメモリセルに記憶されているデステイネーションデータを該演算回路に取り込み、該デステイネーションデータと該データレジスタに記憶されているソースデータとの論理演算を実行する間は、該交換回路で該メモリアレイと該演算回路との接続を分離させて、前記メモリセルに記憶されているデステイネーションデータを前記演算回路に属するセンス回路を経て行くと共に、書き込みデータに相当する疑似信号を該センス回路に出力する手段を具備し、また前記データレジスタを第 2 のメモリアレイに置き換えた。

〔作用〕

まず、1 ビットのデータ間で行われる代表的な論理演算を列举し、その真理値表を第 7 図に示す。図はデュアルポートメモリを想定したものであり、M は RAM 部メモリセル 530 内の記憶データ、R は SAM 部データレジスタ 511 にセットされたデータを表わす。下表において（読出し／書き込み）は、RAM 部メモリセル 530 に対してデータ読出した

21

る。従つて、通常のメモリサイクル時間で演算回路 407 を動作させることが難しくなるので、演算回路を搭載する上で問題である。また、特にダイナミック形メモリでは、全消費電力はビット線の寄生容量 C_{B1} 、 C_{B2} に対する充放電電流に強く依存する。従来技術で実現可能な演算回路 407 には、上述のように 1 回の演算に付き同一ビット線対 BL、BL を 2 回充放電するので消費電力が 2 倍近くに増大してしまうという欠点がある。

〔問題点を解決するための手段〕

本発明の目的は、上述の問題点を解決するべく、交換回路、センス回路と組合せて演算回路を構成することにより、演算の高速化と低消費電力化を図つた半導体記憶装置を提供することにある。

このため、RAM 部のメモリアレイのビット線の各々に、演算回路と SAM 部のデータレジスタを従属に接続してカラム系回路を構成し、該メモリアレイと該演算回路の接続点に該演算回路に属し、対ビット線間で信号を入れ換える交換回路を配置

20

は書き込みを行う場合を表しており、通常のメモリ動作のことである。また (CLR0)、(CLR1) は、それぞれメモリセル 530 内データをデータ "0"、"1" にクリアする操作を意味する。

次に、本発明の半導体記憶装置で用いる演算原理について述べる。メモリセル 530 に記憶されたデータは、メモリセル 530 の出力信号をセンス回路 508 で検出増幅することによつて確定される。しかし、微小信号電圧の検出を行うセンス回路 508 は高速動作が難しく、センス回路 508 の出力信号を用いて論理演算を行う方法は原理的に高速化が困難である。ところで、メモリセル 530 に記憶されたデステイネーションデータとデータレジスタ 511 にセットされたソースデータで論理演算を行い、メモリセル 530 に演算結果を書き込むという一連の操作では、メモリセル 530 に記憶されていたデータを知る必要はなく正しい演算結果がメモリセル 530 に書き込まれることを保証すれば十分である。このことに着目し、本発明の半導体記憶装置では、メモリセル記憶データを用いる演算法

22

の代りに、以下に述べる第1または第2の操作を選択実行する演算法を用いて高速な論理演算を可能にしている。第1の操作は、メモリセル記憶データの反転データをメモリセル530に再び書き込む操作である。第7図に、この操作を行う対象を破線で示す。第2の操作は、図中に実線でその対象を示すように、メモリセル530にデータ"0"または"1"を書き込む操作である。上記2操作の選択は、論理演算内容およびデータレジスタ511上のデータから一意に決まり、メモリセル530に記憶されたデータを必要としない。一例として、メモリセル530内記憶データとデータレジスタ511上のデータでNOB演算を行い、メモリセル530に演算結果を書き込む場合について以下に述べる。データレジスタ511にデータ"0"がセットされている場合、再書き込み時に対ビット線BL、 \overline{BL} 間で信号を入れ換え、メモリセル530に反転データを書き込む。データレジスタ511にデータ"1"がセットされている場合、メモリセル530にデータ"0"を書き込む。この例からも明らかなように、本半

23

上記演算原理を用いた論理演算回路は、メモリセル出力信号電圧に相当する疑似信号電圧をセンス回路508に出力する回路、対ビット線間で信号の入れ換えを行う交換回路505、これらの回路を論理演算内容およびデータレジスタ511等から供給されるデータに基づいて制御する演算制御回路506をセンス回路508周りに付加することによって実現できる。本発明の第1の実施例を第1図(a)に示す。第1図(a)は、RAM部501とSRAM部502から構成されるデュアルポートメモリに本発明を適用した例である。

RAM部501は、メモリセルアレイ504、ロウ選択回路550、RAM部コラム選択回路551、制御クロック信号発生回路552、ビット線対(BLと \overline{BL})毎に配置された交換回路505、演算制御回路506、疑似信号電圧発生回路507、センス回路508およびリストア回路509から構成される。メモリセル530およびダミーセル531は、例えば選択用MOSトランジスタと電荷蓄積用キャパシタ C_s の2素子で構成される。メモリセル530およびダミーセル

25

導体記憶装置では、メモリセル記憶データの反転再書き込みとデータ書き込みを選択実行することを演算原理にしている。従つて、論理演算時にセンス回路からメモリセル530の記憶データを得ることは出来ないが、正しい演算結果がメモリセル530に書き込まれることは保証できる。ハードウェア化した場合、論理演算回路に後述のようにセンス回路508に少数の回路を付加するだけで実現でき、センス回路508と組み合わせる動作させることにより高速な論理演算が可能である。なお、半導体記憶装置は(第7図)に示す論理演算を全て備える必要はなく、用途に応じて必要な演算だけを具備する。例えば、表示画像の重ね合わせではOR演算だけで十分であり、それに加えてAND演算とNOT演算を具備すれば殆んどの論理操作が半導体記憶装置上で可能になる。

〔実施例〕

(i) 第1図(a)、(b)は本発明の第1、第2の実施例のコラム系回路図である。

24

531内キャパシタの一端は、一定電圧を供給する直流電源に接続される。メモリセル530内キャパシタ C_s には、ビット線BLを介してHIGHまたはLOWの2レベル電圧が印加され、電荷の充電または放電が行なわれる。すなわち、メモリセル530は蓄積電荷の有無によつて1ビットのデータを記憶する。ダミーセル531は、基準電圧を発生しセンス回路508に供給する回路である。なお、ダミーセル531内キャパシタ C_d の蓄積電荷量初期設定手段については省略した。交換回路505は、対ビット線間で交差接続されたMOSトランジスタQ1～Q4から構成される。MOSトランジスタQ1～Q4のゲートには演算制御回路506から制御クロック信号 ϕ_{SWAP} または制御クロック信号 ϕ_{SWAP} が供給されている。MOSトランジスタQ1およびQ2は、制御クロック信号 ϕ_{SWAP} がHIGHレベルの時に導通状態、LOWレベルの時に非導通状態である。MOSトランジスタQ3およびQ4も同様な動作を行うが、制御クロック信号 ϕ_{SWAP} で制御されることと異なる。疑似信号電圧発生回路507は、信号源

26

として用いる直流定電圧電源 553、これらの電源とビット線 BL, \overline{BL} との接続または切り離しを行う MOS トランジスタ Q5 と Q6、そして Q5 と Q6 から構成される。直流定電圧電源 553 はそれぞれ HIGH レベル電圧 V_H 、LOW レベル電圧 V_L を供給する。第 1 図(a)では、これらの電源を、対ビット線 BL, \overline{BL} 毎に配置された擬似信号電圧発生回路 507 間で共通化する構成を示している。演算制御回路 506 より、MOS トランジスタ Q5 と Q6 のゲートには制御クロック信号 ϕ_{sw1} が供給されており、MOS トランジスタ Q5 と Q6 のゲートには制御クロック信号 ϕ_{sw2} が供給されている。MOS トランジスタ Q5 と Q6 は、 ϕ_{sw1} が HIGH レベルの時共に導通状態、LOW レベルの時共に非導通状態である。MOS トランジスタ Q5 と Q6 も同様であるが、制御クロック信号 ϕ_{sw2} で制御されることが異なる。演算制御回路 506 は、論理演算の別を示す信号とデータレジスタ 511 上のデータに対応した信号を入力し、上述の制御クロック信号 ϕ_{sw1} , ϕ_{sw2} を出力する。デコード回路 554 は外

27

ト線 \overline{BL} に接続され基準電圧を出力できる状態になる。ビット線 BL には複数のメモリセル 530 と少なくとも 1 個のダミーセル 531 が接続されるが、本例の図では電氣的にビット線に接続された状態にあるメモリセル 530 の 1 個とダミーセル 531 の 1 個だけを示した。C_{B1}, C_{B2} はビット線 BL, \overline{BL} の寄生容量であり、これらは容量値が等しくなるように設計される。また、C_{SA1}, C_{SA2} はセンス回路 508 およびリストア回路 509 の入出力節点の寄生容量であり、これらは容量値が等しくなるように設計される。RAM 部コラム選択回路 551 は、外部から入力された Y アドレスに基づいて一対のビット線 BL, \overline{BL} を選択し、入出力バッファ 109 に接続する回路である。すなわち、外部入力された X および Y アドレスに基づいてロウ選択回路 550 および RAM 部コラム選択回路 551 で 1 個のメモリセル 530 が選択され、選択されたメモリセル 530 に対してデータ読出しまたは外部入力データの書き込みが行なわれる。

SAM 部 502 は、ビット線対 BL, \overline{BL} 毎に配置さ

29

部入力された論理演算コードをデコードし、論理演算の別を示す信号としてビット線対 BL, \overline{BL} 毎に配置された演算制御回路 506 に供給する。センス回路 508 は、フリップ・フロップを構成する N-ch MOS トランジスタ Q7, Q8 から構成される。制御クロック信号発生回路 552 は制御クロック信号 ϕ_N を上記 MOS トランジスタ Q7, Q8 の共通節点に、制御クロック信号 ϕ_P を上記 MOS トランジスタ Q9, Q10 の共通節点に供給する。T_{SA} および T_{SA} はセンス回路 508 の対となる入力節点であり、これらは対となる出力節点を兼ねている。リストア回路 509 は、フリップ・フロップを構成する P-ch MOS トランジスタ Q9, Q10 から構成される。

ロウ選択回路 550 は、X デコードとワードドライバで構成され外部入力された X アドレスに基づいて一対のワード線 WL とダミーワード線 \overline{WL} を選択する。選択ワード線 WL 上のメモリセル 530 は、電氣的にビット線 BL に接続されデータ読出しまたは書き込みができる状態になる。また、選択ダミーワード線 \overline{WL} 上のダミーセル 531 は、電氣的にビッ

28

れた一対のトランスファゲート 510 とデータレジスタ 511、そして SAM 部コラム選択回路 555 から構成される。一対のトランスファゲート 510 は、MOS トランジスタ Q11, Q12 で構成されており、それぞれセンス回路 508 の入出力節点 T_{SA} とデータレジスタ 511 の入出力節点 T_{DR} の接続または切離し、ならびにセンス回路 508 の相補入出力節点 $\overline{T_{SA}}$ とデータレジスタ 511 の相補入出力節点 $\overline{T_{DR}}$ の接続または切離しを行う。

制御クロック信号発生回路 552 は制御クロック ϕ_{DT} を MOS トランジスタ Q11, Q12 に供給し、MOS トランジスタ Q11, Q12 が導通状態の時、RAM 部 501 と SAM 部 502 の間でデータ転送が行われる。データレジスタ 511 は一対の入出力節点 T_{DR} および $\overline{T_{DR}}$ に接続され、1 ビットのデータを記憶する。SAM 部コラム選択回路 555 は、データレジスタ 511 を順次選択し、対となるデータ入出力節点 T_{DR} と $\overline{T_{DR}}$ を SAM 部入出力バッファ 124 に接続する。選択されるデータレジスタ 511 は、外部入力されるシリアルクロックをトグルする毎に 1 ずつシフト

30

する。

(2) 第1図(a)は第1の実施例のコラム系回路図を表す。第1図(a)に示すコラム系回路500のデュアルポートメモリの読出し動作および書き込み動作を以下に説明する。メモリセル530内記憶データを外部に読出す場合、外部入力されたデータをメモリセル530に書き込む場合において、それぞれRAMポートを用いる場合とSAMポートを用いる場合の2通りがあり、合計4通りのデータ読出しまたは書き込みモードがある。第1の実施例において、メモリセル530から出力ポートに至る読出し回路系は、読出し動作を通じて、演算制御回路506から出力される制御クロック信号 $\phi_{\text{SWAP}}^{\text{HIGH/LOW}}$ 、 ϕ_{SW1} 、 ϕ_{SW2} をLOWレベルに設定することにより、従来のデュアルポートメモリにおける読出し動作と同様な動作が可能である。また、入力ポートからメモリセル530に至る書き込み回路系は、外部入力データ書き込み動作を通じて前記制御クロック信号 ϕ_{SWAP} をHIGHレベル、 ϕ_{SW1} 、 ϕ_{SW2} をLOWレベルに設定することにより、従来のデュアルポートメモ

31

レベルに切り換え、メモリセル530にデータを再書き込みする。ビット線BLを切り離れた状態では、寄生容量 C_{B1} 、 C_{B2} が除かれているので、センス回路508を動作させることは、センス回路508の感度向上、動作時間の短縮等の効果があり有利である。なお、センス回路508の動作の前後で制御クロック信号 ϕ_{SWAP} をスイッチングすることは、後述の論理演算の説明では、非論理演算モードすなわち論理演算内容として(読出し/書き込み)が指定された場合に相当する。

(3) 次に、メモリセル530に記憶されたデステーションデータとデータレジスタ511にセットされたソースデータで論理演算を行い、メモリセル530に演算結果を書き込む場合について以下に動作説明をする。説明の都合上、データレジスタ511にはRAM部501からSAM部502へのデータ転送またはSAMポートからの外部データ入力により、既にソースデータがセットされているとする。

(OP-1)初期状態で、対となるビット線BLと $\overline{\text{BL}}$ は等しく電位 V_{cc} にプリチャージされている。制

りにおける書き込み動作と同様な動作が可能である。なお、制御クロック信号が上記のレベルに設定された場合、MOSトランジスタQ1、Q2は導通状態、MOSトランジスタQ3~Q6、 $\overline{\text{Q5}}$ 、 $\overline{\text{Q6}}$ は非導通状態であり、交換回路505および疑似信号電圧発生回路506は、読出し動作および書き込み動作を通じて待機状態を維持する。

また、データ読出しまたは外部データ書き込みにおいて、制御クロック信号 ϕ_{SWAP} をセンス回路508動作の前でスイッチングすることも可能である。すなわち、メモリセル530からセンス回路508に信号電圧が出力された後、制御クロック信号 ϕ_{SWAP} をHIGHからLOWレベルに切り換えMOSトランジスタQ1、Q2を非導通状態にする。一方、MOSトランジスタは、非導通状態を維持しているため、センス回路508は寄生容量 C_{B1} 、 C_{B2} が大なるビット線BL、 $\overline{\text{BL}}$ から切り離される。この状態でセンス回路508、リストア回路509の順に動作させ、メモリセル530の出力信号電圧の検出増幅を行う。しかる後、再び制御クロック信号 ϕ_{SWAP} をHIGH

32

制御クロック信号 ϕ_{DT} はLOWレベルに設定されており、MOSトランジスタQ11、Q12はいずれも非導通状態である。制御クロック信号 ϕ_N は高電位、例えば電源電圧を V_{cc} 、N-ch MOSトランジスタQ7、Q8の閾値電圧を V_{THN} とすると電位 $(V_{cc} - V_{THN})$ に設定されており、センス回路508は待機状態である。制御クロック信号 ϕ_P は低電位、例えば接地電位を V_{ss} 、P-ch MOSトランジスタの閾値電圧を V_{THP} とすると電位 $(V_{ss} + V_{THP})$ に設定されており、リストア回路509は待機状態である。外部入力の論理演算コードをデコードするデコード回路554は待機状態において非論理演算モード、すなわちRAM部501とSAM部502の間でデータ転送を行う場合を含みRAMポートまたはSAMポートからデータ読出しまたは書き込みを行うモードを指定している。この時、演算制御回路506から出力される制御クロック信号 ϕ_{SWAP} はHIGHレベル、 ϕ_{SW1} 、 ϕ_{SW2} はLOWレベルである。従つて、MOSトランジスタQ1、Q2は導通状態、Q3~Q6、 $\overline{\text{Q5}}$ 、 $\overline{\text{Q6}}$ は非導通状態であり、交換回路505および疑似信号電

34

33

圧発生回路 506 は共に待機状態である。

(OP-2) ^(デコード回路 524) 又は、外部入力された論理演算コードをデコードし、論理演算の別を示す信号としてビット線対 BL, \overline{BL} 毎に配置された演算制御回路 506 に出力する。

(OP-3) ロウ選択回路 550 を動作させ、外部入力された X アドレスに基づいて一対のワード線 WL とダミーワード線 \overline{WL} を選択する。選択ワード線 WL 上のメモリセル 530 およびダミーワード線 \overline{WL} 上のダミーセル 531 では、選択用 MOS トランジスタが導通状態になり、デステイネーションデータに対応した信号電圧がビット線間の電位差としてビット線上に現れる。信号電圧は、ビット線 BL, \overline{BL} の寄生容量 C_{B1} , C_{B2} 、センス回路入出力節点 T_{SA} , \overline{T}_{SA} の寄生容量 C_{SA1} , C_{SA2} 、メモリセル 530 内キャパシタ C_S 、ダミーセル 531 内キャパシタ C_D の蓄積電荷量に依存する。ビット線上の信号電圧は、導通状態にある MOS トランジスタ Q1, Q2 を介して、センス回路の入出力節点 T_{SA} , \overline{T}_{SA} に印加される。

35

り、センス回路入力節点対には直流定電圧電源 553 の電位差 ($V_H - V_L$) に相当する擬似信号電圧が印加される。すなわち、メモリセル出力信号電圧が擬似信号電圧に置き換えられるのである。また、制御クロック信号 ϕ_{SW2} が HIGH レベルの時、MOS トランジスタ $\overline{Q5}$ と $\overline{Q6}$ は共に導通状態であり、センス回路 508 の入力節点 T_{SA} は LOW レベルの V_L に接続され、相補入出力節点 \overline{T}_{SA} は HIGH レベルの V_H に接続される。すなわち、センス回路入力節点対には上記擬似信号電圧と反対の符号を有する擬似信号電圧 $-(V_H - V_L)$ が印加され、メモリセル出力信号電圧と置き換えられる。

(OP-6) 制御クロック信号 ϕ_N のレベルを高電位から低電位、すなわち電位トランジスタの ($V_{CC} - V_{THN}$) から V_{SS} に緩やかに降下させ、センス回路 508 を動作させる。この時、センス回路入出力節点の寄生容量 C_{SA1} および C_{SA2} のうち LOW レベル側の容量から電荷がセンス回路 508 を介して放電され、LOW レベル側センス回路入出力節点の電位は V_{SS} レベルまで降下する。すなわち、メモリセ

37

(OP-4) 制御クロック信号 ϕ_{SWAP} を LOW レベルに切り換え、MOS トランジスタ Q1, Q2 を非導通状態にする。ところで MOS トランジスタ Q3, Q4 は待機状態より非導通状態を維持している。従つて、センス回路 508 の入出力節点 T_{SA} , \overline{T}_{SA} は大きな寄生容量を有するビット線 BL, \overline{BL} から切り離された状態となる。

(OP-5) 演算制御回路 506 は、論理演算内容とデータレジスタ 511 上のソースデータに応じて、制御クロック信号 ϕ_{SW1} または ϕ_{SW2} の出力電圧を LOW から HIGH レベルに切り換え、擬似信号電圧発生回路 507 を動作状態にする。なお、制御クロック信号 ϕ_{SW1} と ϕ_{SW2} が共に LOW レベルを維持するように制御される場合もある。制御クロック信号 ϕ_{SW1} が HIGH レベルの時、MOS トランジスタ Q5 と Q6 は共に導通状態であり、センス回路 508 の入力節点 T_{SA} は HIGH レベルの V_H に接続され、相補入出力節点 \overline{T}_{SA} は LOW の V_L に接続される。従つて、センス回路入力節点 T_{SA} の電位は HIGH レベル、相補入力節点 \overline{T}_{SA} の電位は LOW レベルとな

36

る出力信号電圧または前記擬似信号電圧の増幅が行なわれる。

(OP-7) 制御クロック信号 ϕ_P のレベルを低電位から高電位すなわち電位 ($V_{SS} + V_{TRP}$) から V_{CC} まで上昇させ、リストア回路 509 を動作させる。

(OP-8) 演算制御回路 506 は、論理演算内容とデータレジスタ 511 上のソースデータに応じて、制御クロック信号 ϕ_{SWAP} または ϕ_{SWAP} の出力電圧を LOW から HIGH レベルに切り換え、交換回路 505 を非交換接続状態または交換接続状態に切り換え制御する。制御クロック信号 ϕ_{SWAP} を HIGH レベルに切り換えると、MOS トランジスタ Q1, Q2 が導通状態となり、センス回路入出力節点 T_{SA} , \overline{T}_{SA} は、それぞれビット線 BL, \overline{BL} に接続される。一方、制御クロック信号 ϕ_{SWAP} を HIGH レベルに切り換えると、MOS トランジスタ Q3, Q4 が導通状態となり、センス回路入出力節点 T_{SA} , \overline{T}_{SA} は、それぞれビット線 \overline{BL} , BL に交差接続される。これにより、メモリセル 530 にはデータ書き込みまたは再書き込みが行われる。

38

(OP-9) 各制御クロック信号のレベルを待機状態のレベルに戻し、次の演算要求を待つ。

一例として、メモリセル 530 にデステイネーションデータ“0”、データレジスタ 511 にソースデータ“1”がセットされている状態で OR 演算を実行し、演算結果をメモリセル 530 に書き込む動作を以下に述べる。デュアルポートメモリ内で用いられる 2 レベル電圧とデータとの対応関係については、以下のように仮定する。ビット線 BL に接続されたメモリセル 530 の場合、データ入出力時にビット線の電位が HIGH レベルとなる場合をデータ“1”に、また LOW レベルとなる場合をデータ“0”に対応づける。ビット線 \overline{BL} に接続されたメモリセル 530 については、上記関係と反対の関係をを用いる。データレジスタ 511 については、データレジスタ入出力節点 T_{DR} の電位が HIGH レベルとなる場合をデータ“1”に、また LOW レベルとなる場合をデータ“0”に対応づける。従つて、相補入出力節点 \overline{T}_{DR} の電位は、データレジスタ 511 にデータ“1”がセットされている時 LOW レベル、データ

39

に演算結果のデータを書き込む。ここに示す例では、制御クロック信号 $\phi_{\overline{SWAP}}$ が HIGH レベルとなり、 ϕ_{SWAP} は LOW レベルを維持する。従つて MOS トランジスタ $Q1$ 、 $Q2$ は導通状態となり、メモリセル 530 にはデータ“1”に対応する HIGH レベル電圧がリストア回路 509 によつて印加される。最後に、上述のデュアルポートメモリ内で用いられる 2 レベル電圧とデータの対応関係を想定し、OR 演算を含め各種論理演算と制御クロック信号 $\phi_{\overline{SWAP}}$ 、 ϕ_{SWAP} 、 ϕ_{SW} の電圧レベルとの対応関係を第 8 図に示す。

上述の動作説明から明らかなように、本発明の半導体記憶装置では、メモリセル 530 の出力信号電圧と書き込みデータに対応した疑似信号電圧からセンス回路 508 の入力信号電圧を選択する操作と、動作時にセンス回路 508 およびリストア回路 509 の共通出力節点に現れる電圧または共通相補出力節点に現れる電圧からデータ書き込み用メモリセル 530 の印加電圧を選択する操作を組み合わせて論理演算を行つている。さらに、上記選択に用いる MOS

41

“0”がセットされている時 HIGH レベルになる。なお、2 レベル電圧とデータの対応関係について特に制約はなく、他の対応関係も可能である。

まず、メモリセル 530 にはデステイネーションデータ“0”が記憶されているので、メモリセル 530 選択時にビット線 BL の電位は LOW レベル、ビット線 \overline{BL} の電位は HIGH レベルとなり、この電位差は信号電圧としてセンス回路 508 の入力節点対に印加される。しかる後、ビット線 BL をセンス回路 508 の入出力節点から切り離す。次に、データレジスタ 511 上にソースデータ“1”がセットされている場合の OP 演算において、制御クロック信号 ϕ_{SW1} は HIGH レベルに制御される。従つて、疑似信号電圧発生回路 507 は動作状態になり、データ“1”に対応する疑似信号電圧がセンス回路 508 の入力節点対 T_{BA} 、 \overline{T}_{BA} に印加される。すなわち、センス回路 508 の入力節点 T_{BA} は HIGH レベル、相補入力節点 \overline{T}_{BA} は LOW レベルになる。次に、センス回路 508、リストア回路 509 の順で動作させる。最後に交換回路 505 を動作させて、メモリセル 530

40

トランジスタ $Q1 \sim Q6$ 、 $\overline{Q5}$ 、 $\overline{Q6}$ はスイッチング動作させているので、選択に要する時間はセンス回路 508 の動作時間に比べて十分短かく、高速な論理演算を可能にしている。また、ビット線 BL とセンス回路 508 は、メモリセル 530 からセンス回路 508 に信号電圧を出力後、メモリセル 530 に演算結果を書き込む時点まで切り離される。一般にビット線 BL の寄生容量 C_{B1} 、 C_{B2} はセンス回路入出力節点 T_{BA} 、 \overline{T}_{BA} の寄生容量 C_{BA1} 、 C_{BA2} に比べて 10 倍以上大である。従つて、ビット線 BL をリストア回路 509 を含めセンス回路 508 から切り離れた状態でセンス回路 508 を動作させることは、センス回路 508 感度の向上、検出動作時間の短縮等の利点がある。さらに、大容量を有するビット線 BL の寄生容量 C_{B1} 、 C_{B2} に対する充放電は、演算結果をメモリセル 530 に書き込むステップだけであり、演算時の消費電力は通常の読出しまたは書き込み動作と同等である。すなわち、本発明の演算回路 503 を用いることにより、演算回路 503 を複数搭載したことによる消費電力の増大を抑える利点

42

がある。

(4) 第1図(b)は本発明の第2の実施例のコラム系回路図を示す。第1の実施例との構成上の相違点は、疑似信号電圧発生回路507において、MOSトランジスタ $\overline{Q5}$ 、 $\overline{Q6}$ が除去されていることである。これは、以下の理由による。まず、第1の実施例では、書き込みデータの“0”、“1”に対応した2種類の信号電圧を出力可能な回路を疑似信号電圧発生回路507に用いた。これら疑似信号電圧は、センス回路508で検出増幅され、メモリセル530への書き込みまたは再書き込み動作時に交換回路505を介してメモリセル530に印加される。これによりメモリセル530にデータが書き込まれる。さて、書き込みデータに対応した電圧は、センス回路508またはリストア回路509から交換回路505を介してメモリセル530に印加されることに着目すると、疑似信号電圧発生回路101の出力信号電圧を1種類に減らしても同等の性能を実現可能である。すなわち、疑似信号電圧発生回路507の出力信号に対応したデータと反対のデータをメモリセル530

43

トア回路509にP-ch MOSトランジスタを用いる例を示した。第1図(a)、(b)において、センス回路508をリストア回路509として用い、リストア回路509をセンス回路508として用いることも可能である。この場合、ビット線のプリチャージレベルは、 V_{cc} レベルよりも V_{ss} レベルよりも設定される。また、疑似信号電圧発生回路507、交換回路505、トランスファゲート510をP-ch MOSトランジスタで構成することも、さらにCMOSで構成することも可能であり、同等の効果を得る。

(5) 第2図は本発明の第3の実施例のコラム系ブロック図を示す。第2図は、メモリアレイを第1サブメモリアレイ601、第2サブメモリアレイ602に2分割構成した図であり、第1または第2の実施例におけるSAM部502を第2のRAM部に置き換えた構成に相当する。第1、第2サブメモリアレイ601、602には、独立の入出力ポートを持たせることもできるし、また入出力ポートを共通化することも可能である。第3の実施例において、メモリセルアレイを含む第1、第2コラム系回路603、604は、

45

に書き込む場合は、交換回路505を用いて対ビット線間で信号を入れ換えるのである。第2の実施例におけるデュアルポートメモリの脱出し動作、書き込み動作、論理演算動作は第1の実施例の動作と同様である。ただし、上述のようにデータ書き込み時に対ビット線間 \overline{BL} 、 \overline{BL} で信号を入れ換えて疑似信号電圧発生回路507の出力に対応するデータと反対のデータをメモリセル530に書き込む場合があるので、論理演算時における制御クロック信号 $\phi_{\overline{SWAP}}$ 、 ϕ_{SWAP} 、 ϕ_{SW1} のレベルは、第1の実施例と必ずしも一致しない。一例として、第1の実施例で用いたデュアルポートメモリ内の2レベル電圧とデータの対応関係を想定し、各種論理演算と制御クロック信号の対応関係を第9図に示す。

第2の実施例は、制御クロック信号 ϕ_{SW2} が不要であり、演算制御回路506および疑似信号電圧発生回路507の構成が簡素化されるので、論理演算回路系を高密度化できる利点がある。

第1図の第1および第2の実施例では、センス回路508にN-ch MOSトランジスタを用い、リス

44

第1図(a)または(b)中のメモリアレイ504を含むコラム系回路500と同様である。第2図中、第1サブメモリアレイ601、第2サブメモリアレイ602は、コラム系回路603、604の節点 $T_{Dr(j)}$ 、 $T_{SA(j)}$ 、 $\overline{T_{SA(j)}}$ 、 $\overline{T_{Dr(j)}}$ ；($j=1, 2$)を対となるコラム系回路間で交差接続して連結される。

第1サブメモリアレイ601内のデスティネーションデータと第2サブメモリアレイ602内のソースデータとの論理演算を行い、演算結果を第1サブメモリアレイ601に書き込む操作は、第1の実施例と同様な手順で実行できる。論理演算には、第1サブメモリアレイ601内のビット線対 $\overline{BL1}$ 、 $\overline{BL1}$ ごとに配置された論理演算回路を用いる。第1の実施例と異なるところは、SAM部502のデータレジスタ511上のデータに相当するデータを第2サブメモリアレイ602から第1サブメモリアレイ601に供給する手段である。これは、第2コラム系回路604内のセンス回路、および必要に応じてリストア回路を用いて以下の手順で行う。まず第2サブメモリアレイ602において、ロウ選択回

46

路 606 を動作させて一対のワード線 WL' とダミーワード線 WL' を選択する。この時、選択されたワード線上のメモリセルおよびダミーワード線上のダミーセルにおいて選択 MOS トランジスタが導通状態になり、メモリセルの記憶データに対応した信号電圧が対ビット線間の電位差としてビット線 BL 上に現れる。センス回路を動作させ、信号電圧を検出増幅する。次に、リストア回路を動作させ、検出結果に基づきメモリセルに再書き込みを行う。ここで、節点 T_{SA2} は、第 2 サブメモリアレイ 602 におけるセンス回路およびリストア回路の入出力節点である。また、 $\overline{T_{SA2}}$ は対となる相補入出力節点である。従つて、センス回路およびリストア回路動作時には、選択されたメモリセルの記憶データに対応した 2 レベル電圧が上配入出力節点 T_{SA2} および相補入出力節点 $\overline{T_{SA2}}$ に得られる。上記 2 レベル電圧は、節点 T_{SA2} と T_{DR1} 、または $\overline{T_{SA2}}$ と $\overline{T_{DR1}}$ を介して第 1 サブメモリアレイ 601 内の第 1 コラム系回路 603 に供給される。

なお、第 2 サブメモリアレイ 602 内のデステイ

47

同等の効果を得る。

(7) 最後に、第 1 ～ 第 4 の実施例では、何れも RAM 部メモリセル 530 にダイナミック形メモリセルを適用した例を示したが、本発明の半導体記憶装置は、メモリセル 530 に対する制約はない。すなわち、スタティック形メモリを適用して同様な半導体記憶装置を構成可能であり、同等の効果を得る。さらに、スタティック形メモリセルを用いた場合は、メモリセルサイズが大型であることから、論理演算回路を限られたコラムピッチ内に配置し易いというレイアウト設計上の利点がある。

〔発明の効果〕

以上説明したように、演算回路を搭載した本発明の半導体記憶装置では、センス回路 508 と、対ビット線 BL , \overline{BL} 間で信号を入れ換える交換回路 505 と、センス回路 508 の一対の入力節点 T_{SA} , $\overline{T_{SA}}$ に書き込みデータに対応した疑似信号電圧を供給する疑似信号電圧発生回路 507 と、論理演算の別を示す信号とソースデータに対応した信号を入

49

ネーションデータと第 1 サブメモリアレイ 601 内のソースデータとの論理演算を行い、演算結果を第 2 サブメモリアレイ 602 に書き込む場合も同様である。ただし、論理演算時に第 1 サブメモリアレイ 601 から第 2 サブメモリアレイ 602 にソースデータを供給すること、第 2 サブメモリアレイ 602 内のビット線対 $BL2$, $\overline{BL2}$ 毎に配置された論理演算回路を用いて論理演算を行うこと、が異なる。

(6) 第 4 の実施例として、第 1 または第 2 の実施例における SAM 部データレジスタ 511 をインバータ並列回路でも、ROM でも用いられるセルに置き換えた構成も可能である。さらに、ワード線方向に並んだ ROM セルラインを複数搭載し ROM 部ワード線選択回路を付加することによつて、外部入力信号によつて RAM 部へ供給するデータを切り換える構成も可能である。また、ROM セルの代りに P ROM セル、EPROM セル、EEPROM セルを用いることもできる。なお、ROM セルを用いた場合は、ROM 部用のコラム選択回路は不要である。論理演算動作は第 1 または第 2 の実施例と同様であり、

48

力し上記交換回路 505 と疑似信号電圧発生回路 507 に制御信号を出力する演算制御を用いて演算回路 503 を構成している。その為、交換回路 505 の動作により、メモリアレイ 504 を演算回路 503 に切り別けて寄生容量の影響を除き、センス回路 508 に入力される論理振幅の小さいメモリセル出力信号を疑似信号電圧発生回路 507 で操作して演算を行うことが可能であり、大振幅信号を用いて論理演算を行う場合に比べて、論理演算に要する時間を著しく短縮できる利点がある。さらに、ビット線の寄生容量 C_{B1} , C_{B2} に対する充放電は、半導体記憶装置の全消費電力に与える影響が大きく論理演算に伴う充放電の回数が問題となるが、本発明の演算回路 503 を用いることにより、前述の寄生容量に対する充放電を演算結果のメモリセル 530 書き込みステップだけに限定できる。すなわち、演算時の消費電力は、通常の読出しまたは書き込み動作時と同程度であり、演算回路 503 を搭載したことによる消費電力の増大を抑える利点がある。

従つて、演算回路を複数搭載し例えばビット線

50

対ごとに配置するような場合に本発明で用いた演算回路 503 を適用すれば、消費電力の増大を抑えつつ高速な論理演算が可能であり、論理演算のスループットを向上させる上で極めて効果が大である。

4. 図面の簡単な説明

第 1 図(a), (b)は本発明の第 1, 第 2 の実施例のコラム系回路図、

第 2 図は本発明の第 3 の実施例のコラム系ブロック図、

第 3 図は従来のデュアルポードメモリの主要部分を示す回路図、

第 4 図は第 3 図の回路の改良の回路図、

第 5 図は従来の演算回路の回路図、

第 6 図は従来の演算回路周辺のコラム系回路図、

第 7 図は真理値表図、

第 8 図は制御クロック信号の出力(第 1 図(a)用)を示す図、

第 9 図は制御クロック信号の出力(第 1 図(b)用)

を示す図である。

101, 401 … RAM 部
102, 402, 502 … SAM 部
103, … トランスファゲート部
106, 504 … メモリセルアレイ
107, 530 … メモリセル
108, 551 … RAM 部コラム選択回路
109, 124 … 入出力バッファ
110, 211 … 演算回路
407, 503 … 演算回路
111 … RAM 部データバス
112, 212 … 演算コードデコーダ
117, 550 … ロウ選択回路
120 … データレジスタアレイ
121, 511 … データレジスタ
122, 555 … SAM 部コラム選択回路
123 … アドレスポイント
125 … SAM 部データバス
131, 510 … トランスファゲート

51

52

209 … 演算部

210 … 演算回路アレイ

301 … NOR ゲート

302 … NAND ゲート

303 … ラッチ回路

304, 305 … 切換え回路

307, 553 … 直流定電圧源

403 … 演算部

405, 508 … センス回路

406, 509 … リストア回路

501 … RAM 部および演算部

505 … 交換回路

506 … 演算制御回路

507 … 疑似信号電圧発生回路

531 … ダミーセル

552 … 制御クロック発生回路

554 … デコード回路

Q1~Q10 … MOS トランジスタ

C_{B1}, C_{B2} … ビット線の寄生容量

C_{SA1}, C_{SA2} … センス回路入出力節点の寄生容量

C_{B1}, C_{B2} … センス回路入出力節点の寄生容量を含む
ビット線の寄生容量

ϕ_1, ϕ_2 … 制御クロック信号

$T_{DR}, \overline{T_{DR}}, T_{SA}, \overline{T_{SA}}$
 $T_{DR1}, \overline{T_{DR1}}, T_{SA1}, \overline{T_{SA1}}$
 $T_{DR2}, \overline{T_{DR2}}, T_{SA2}, \overline{T_{SA2}}$ } … 節点

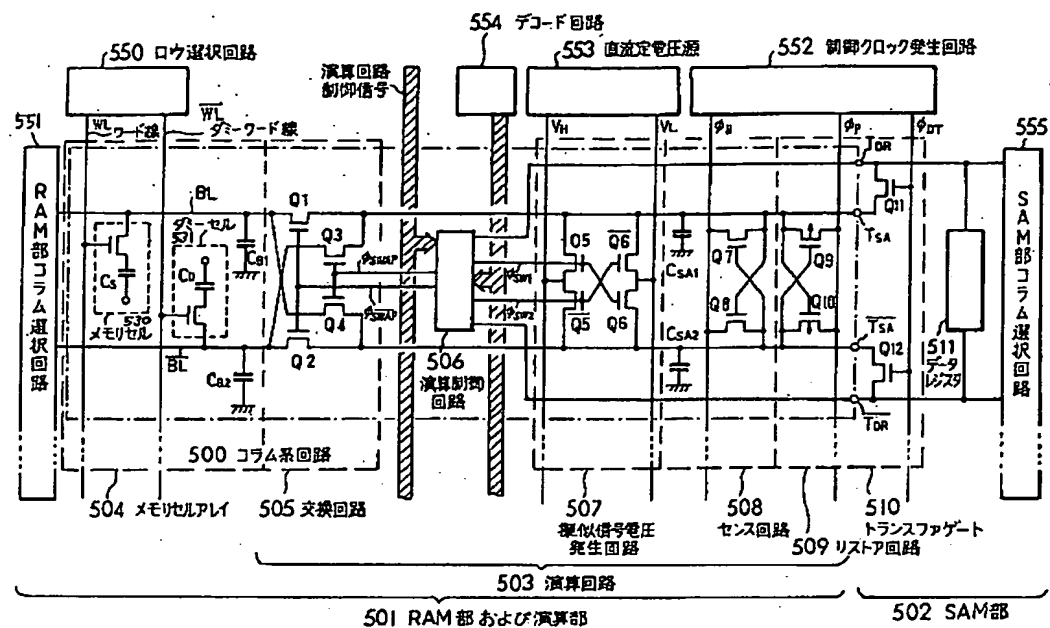
特許出願人 日本電信電話株式会社

代理人 弁理士 玉 島 久 五 郎

(外 2 名)

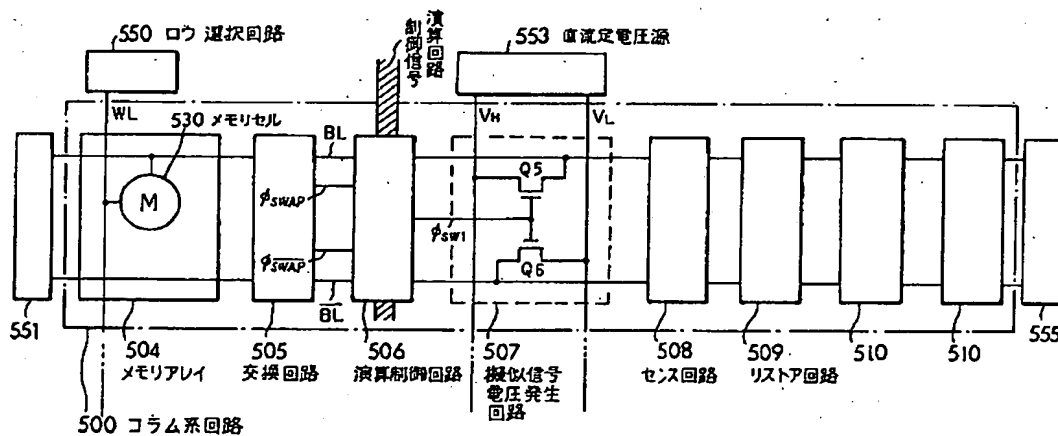
53

54



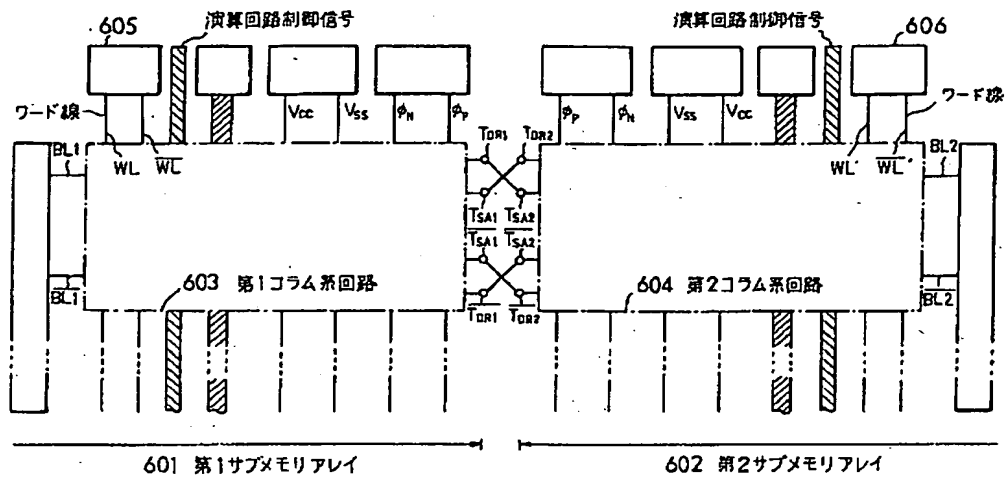
本発明の第1の実施例のコラム系回路図

第 1 図 (a)



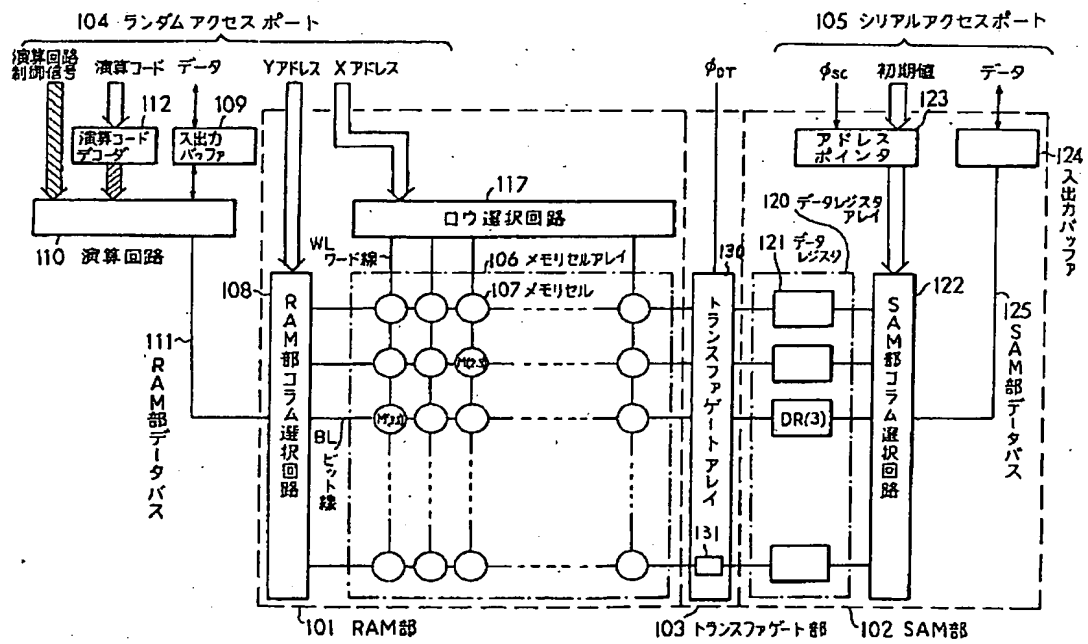
本発明の第2の実施例のコラム系回路図

第 1 図 (b)



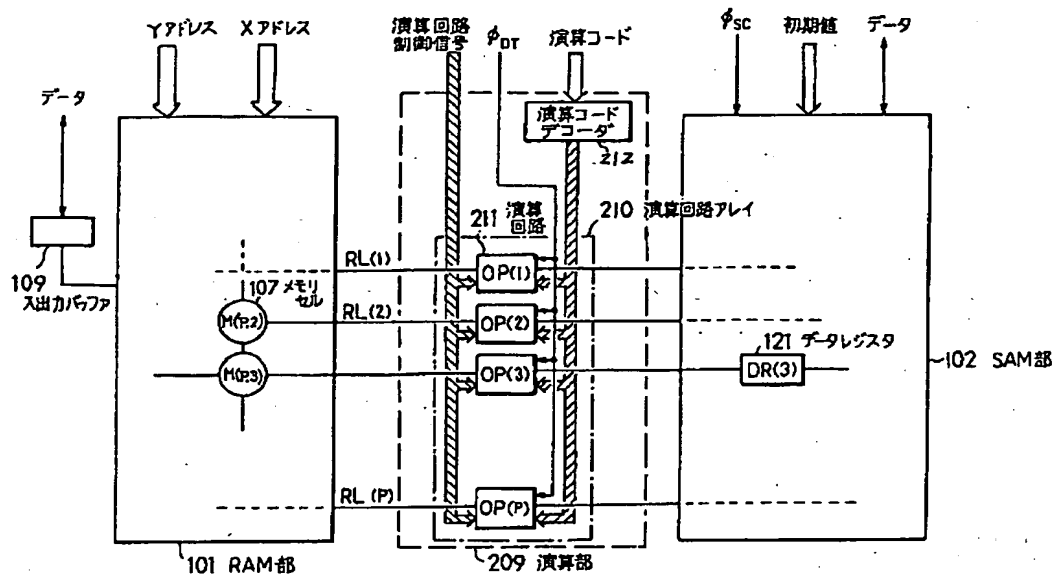
本発明の第3の実施例のコラム系ブロック図

第 2 図



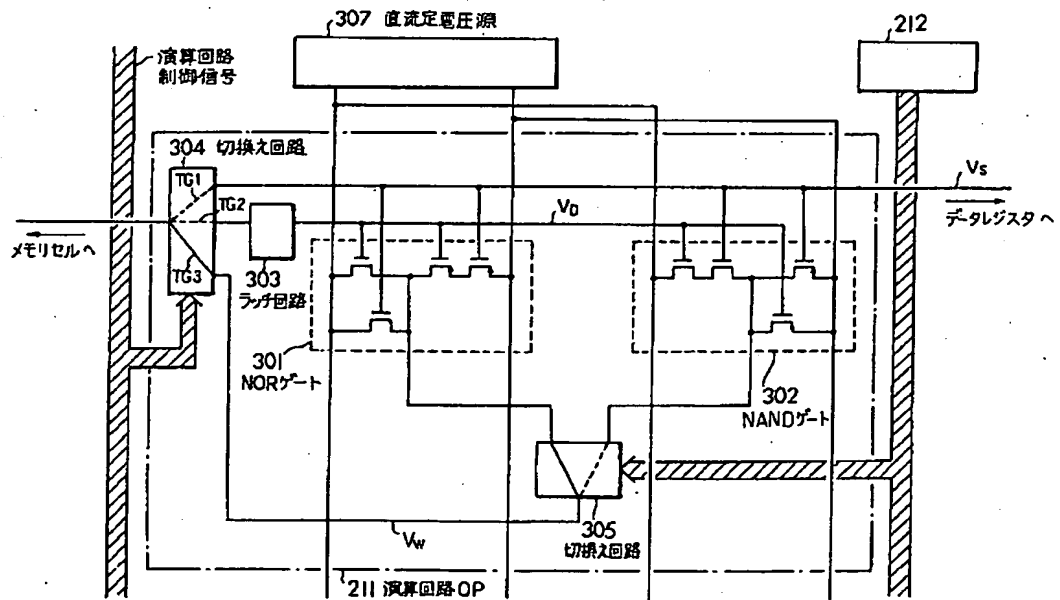
従来のデュアルポートメモリの回路図

第 3 図



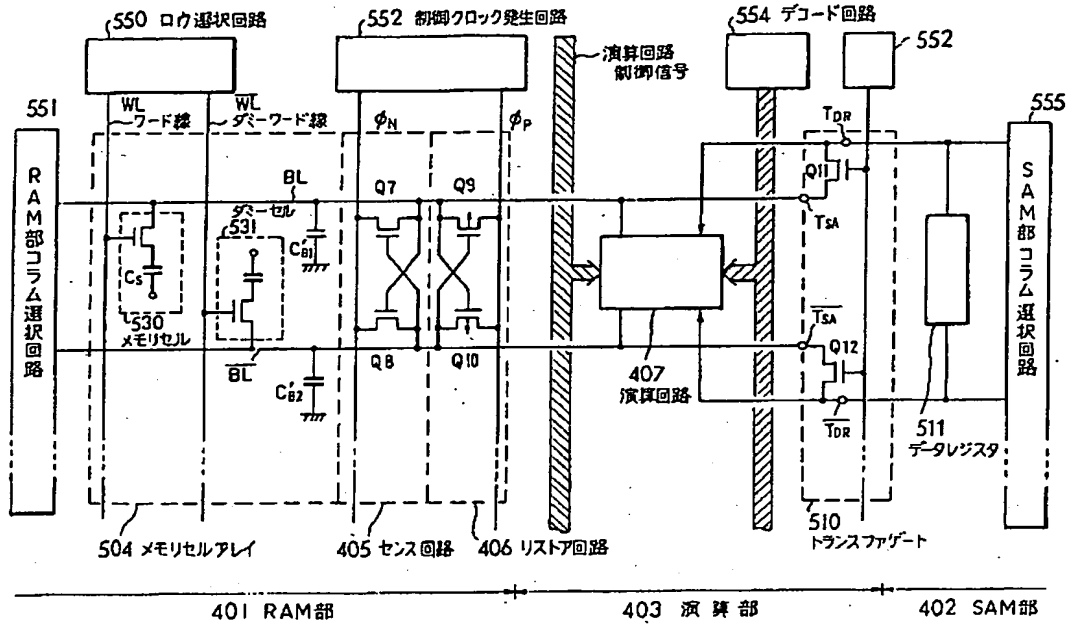
従来の第3図の装置の改良の回路図

第4図



従来の演算回路の回路図

第5図



第5図に示す演算回路周辺のコラム系回路図

第 6 図

(読出し/書込み)				(OR)				(AND)				(EOR)			
M\R	0	1		M\R	0	1		M\R	0	1		M\R	0	1	
0	0	0		0	0	1		0	0	0		0	0	1	
1	0	1		1	1	1		1	0	1		1	1	0	
(NOT)				(NOR)				(NAND)				(一致)			
M\R	0	1		M\R	0	1		M\R	0	1		M\R	0	1	
0	1	1		0	1	0		0	1	1		0	1	0	
1	0	0		1	0	0		1	1	0		1	0	1	
(CLR0)				(CLR1)											
M\R	0	1		M\R	0	1									
0	0	0		0	1	1									
1	0	0		1	1	1									

真 理 値 表 図

第 7 図

レジスタデータ	"0"				"1"			
	ϕ_{SWAP}	ϕ_{SWAP}	ϕ_{SW1}	ϕ_{SW2}	ϕ_{SWAP}	ϕ_{SWAP}	ϕ_{SW1}	ϕ_{SW2}
読出し/書込み	H	L	L	L	H	L	L	L
OR	H	L	L	L	H	L	H	L
AND	H	L	L	H	H	L	L	L
EOR	H	L	L	L	L	H	L	L
NOT	L	H	L	L	L	H	L	L
NOR	L	H	L	L	H	L	L	H
NAND	H	L	H	L	L	H	L	L
一致	L	H	L	L	H	L	L	L
CLRO	H	L	L	H	H	L	L	H
CLR1	H	L	H	L	H	L	H	L

制御クロック信号の出力(第1図(a)用)図

第 8 図

レジスタデータ	"0"			"1"		
	ϕ_{SWAP}	ϕ_{SWAP}	ϕ_{SW1}	ϕ_{SWAP}	ϕ_{SWAP}	ϕ_{SW1}
読出し/書込み	H	L	L	H	L	L
OR	H	L	L	H	L	H
AND	L	H	H	H	L	L
EOR	H	L	L	L	H	L
NOT	L	H	L	L	H	L
NOR	L	H	L	L	H	H
NAND	H	L	H	L	H	L
一致	L	H	L	H	L	L
CLRO	L	H	H	L	H	H
CLR1	H	L	H	H	L	H

制御クロック信号の出力(第1図(b)用)図

第 9 図